



KOREAN PATENT ABSTRACT (KR)

KOREAN UNEXAMINED PUBLICATION

(51) IPC Code: H01L 21/334

(11) Publication No.: 1997-0030497

(43) Publication Date: 26 June 1997

(21) Application No.: 1995-0039988

(22) Application Date: 03 November 1995

(71) Applicant:

Hyundai Electronic Industries Co., Ltd.

San 136-1, Bubal-eup, Ichon-si, Gyeonggi-do, Republic of Korea

(72) Inventor:

Seok-gyu LEE

(54) Title of the Invention:

Method for fabricating MOSFET

Abstract:

A MOSFET transistor, wherein a gate having fine pitch is formed by depositing a polysilicon layer on the top of a semiconductor substrate, forming a hole with the minimum pattern size which can be obtained through a lithography process after depositing a first nitride on the top, forming a second nitride spacer between side walls of the hole, forming an oxide layer sufficiently on the bottom of the hole, eliminating the first nitride and the second nitride spacer, and etching the polysilicon with the oxide layer as mask.

Am

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 21/334	(11) 공개번호 특 1997-0030497
(21) 출원번호 특 1995-0039988	(43) 공개일자 1997년 06월 26일
(22) 출원일자 1995년 11월 03일	
(71) 출원인 현대전자산업 주식회사 김주용	
(72) 발명자 이석규	
(74) 대리인 이권희, 이정훈	
심사청구 : 없음	
(54) 모스 전계효과 트랜지스터의 제조방법	

요약

본 발명은 모스 전계 효과 트랜지스터에 관한 것으로, 반도체기판의 상부에 폴리실리콘층을 증착하고, 그 상부에 제1 질화막을 증착한 후 리소그래피 공정으로 얻을 수 있는 최소 패턴 크기로 홈을 형성하고, 상기 홈의 측벽에 제2 질화막스페이서를 형성하고, 상기 홈의 저부에 산화막을 충분히 형성하고, 상기 제1 질화막과 제2 질화막스페이서를 제거하고, 상기 산화막을 마스크로 하여 폴리실리콘을 식각함으로써, 미세한 선폴을 갖는 게이트를 형성하는 것이다.

대표도

도3

명세서

[발명의 명칭]

모스 전계효과 트랜지스터의 제조방법

[도면의 간단한 설명]

제3도 내지 제6도는 본 발명의 실시예에 따라 MOSFET를 제조하는 단계를 도시한 단면도.

"본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음"

(57) 청구의 범위

청구항 1

반도체기판에 게이트산화막, 폴리실리콘층 및 제1 절연막을 적층하는 단계와, 게이트가 형성될 부분의 제1 절연막을 식각하여 홈을 형성하는 단계와, 상기 홈의 측벽에 제2 절연막스페이서를 형성하는 단계와, 상기 홈 저부에 노출된 폴리실리콘층의 일정두께를 산화시켜 산화막을 형성하는 단계와, 상기 제1 절연막과 제2 절연막스페이서를 제거하는 단계와, 상기 산화막을 마스크로 상기 폴리실리콘을 식각하여 미세선폴을 갖는 게이트용 폴리실리콘패턴을 형성하는 단계와, 반도체 기판으로 불순물을 주입하여 소스/드레인을 형성하는 단계를 포함하는 것을 특징으로 하는 모스 전계 효과 트랜지스터의 제조 방법.

청구항 2

제1항에 있어서, 상기 제1 절연막과 제2 절연막은 식각 선택비가 같은 물질인 것을 특징으로 하는 모스 전계 효과 트랜지스터의 제조 방법.

청구항 3

제1항에 있어서, 상기 제2 절연막스페이서와 산화막은 식각선택비가 다른 물질인 것을 특징으로 하는 모스 전계 효과 트랜지스터의 제조 방법.

청구항 4

제1항에 있어서, 상기 홈은 제1 절연막 상부에 네가티브 감광막을 도포하고, 게이트 마스크를 이용한 노광 및 현상공정으로 감광막패턴을 형성하고, 이 감광막패턴을 마스크로 노출된 제1 절연막을 식각하고 폴리실리콘층이 드러날때까지 식각하여 형성하는 것을 특징으로 하는 모스 전계 효과 트랜지스터의 제조 방법.

청구항 5

제1항에 있어서, 상기 제1 절연막은 질화막으로 형성되는 것을 특징으로 하는 모스 전계 효과 트랜지스터의 제조 방법.

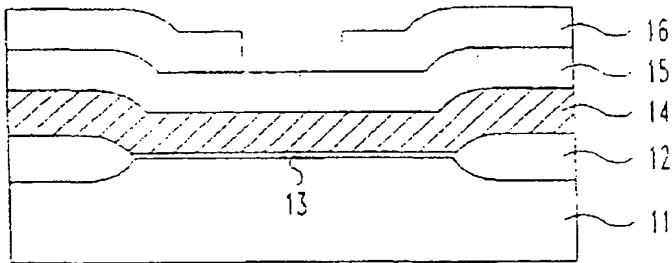
청구항 6

제1항에 있어서, 상기 제2 절연막스페이서는 질화막으로 형성되는 것을 특징으로 하는 모스 전계 효과 트랜지스터의 제조 방법.

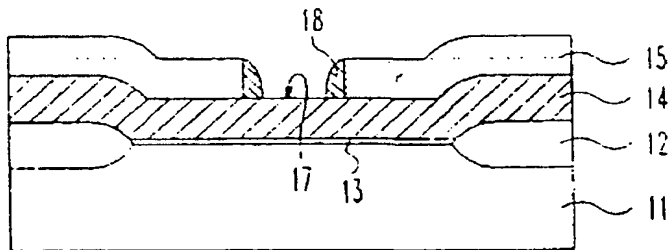
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

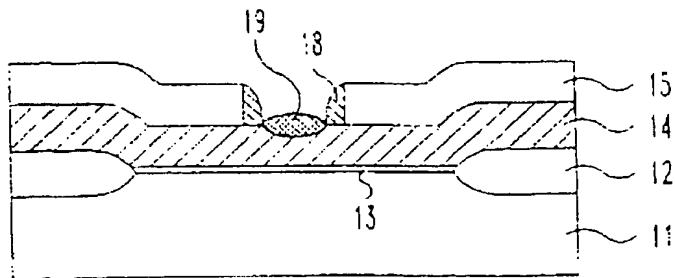
도면3



도면4



도면5



도면6

